

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020003015 A  
(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000037399  
(22)Date of filing: 30.06.2000

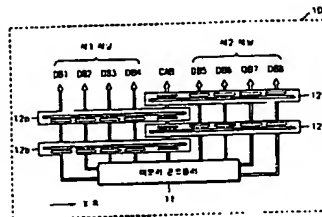
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: LEE, SANG WON  
PARK, MYEON JU  
SO, BYEONG SE

(51)Int. Cl. H01L 23 /50

(54) TWO CHANNEL MEMORY SYSTEM SHARING CONTROL AND ADDRESS BUS AND MEMORY MODULE ADAPTED THEREIN

(57) Abstract:

PURPOSE: A two channel memory system is provided to increase an operating speed of a data bus and to expand the width of the data bus easily. CONSTITUTION: A memory system includes a system board(10), a memory controller(11), a plurality of the memory modules(12a, 12b, 12c, 12d), a common control and address bus(CAB) expanded from the memory controller, a data bus(DB1 to DB4) of a first channel, and a data bus(DB5 to DB8) of a second channel. The data bus (DB1 to DB4) of a first channel is expanded from the memory controller and is placed on left side of the common control and address bus(CAB), and the data bus(DB5 to DB8) of a second channel is expanded from the memory controller and is placed on right side of the common control and address bus (CAB). The first group of the memory module are mounted on the data bus of the first channel, The second group of the memory-module are mounted on the data bus of the second channel, and the first and the second groups of the memory module is shared the common control and address bus.



copyright KIPO 2002

## Legal Status

Date of request for an examination (20000630)  
Notification date of refusal decision (00000000)  
Final disposal of an application (registration)  
Date of final disposal of an application (20020325)  
Patent registration number (1003355040000)  
Date of registration (20020423)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent (00000000)  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 23/50		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년 05월 09일 10-0335504 2002년 04월 23일
(21) 출원번호 (22) 출원일자	10-2000-0037399 2000년 06월 30일	(65) 공개번호 (43) 공개일자	특 2002-0003015 2002년 01월 10일
(73) 특허권자	삼성전자 주식회사		
(72) 발명자	경기 수원시 팔달구 매탄3동 416 소병세 경기도 성남시 분당구 야탑동 330번지 코오롱아파트 130동 701호 박면주 인천광역시 남구 도화2동 109-113/2 이상원 경기도 군포시 산본동 한라2차 아파트 421동 1803호 이영필, 정상빈, 이래호		
(74) 대리인	이영필, 정상빈, 이래호		

심사관 : 오세계

(54) 제어 및 어드레스 버스를 공유하는 2채널 메모리 시스템 및 이에 채용되는 메모리 모듈

요약

데이터 버스의 동작속도를 향상시킬 수 있고 데이터 버스쪽의 확장에 의한 광대역화에 적합한 메모리 시스템 및 이에 채용되는 메모리 모듈이 개시된다. 상기 메모리 시스템에서는, 제1채널의 데이터 버스와 제2채널의 데이터 버스가 메모리 컨트롤러로부터 확장되어 공통 제어 및 어드레스 버스를 중심으로 좌우측에 배치된다. 메모리 모듈들의 제1군은 상기 제1채널의 데이터 버스에 장착되고 메모리 모듈들의 제2군은 상기 제2채널의 데이터 버스에 장착된다. 또한 상기 메모리 시스템에서는, 모든 메모리 모듈들이 중앙에 위치하는 상기 공통 제어 및 어드레스 버스를 공유한다. 또한 상기 메모리 모듈들은 일부분들이 서로 중첩되도록 배치되고 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들이 서로 교차되도록 배치된다. 한편 각 메모리 모듈은, 메모리 모듈상에 마운트되는 복수개의 메모리 장치들, 상기 메모리 모듈의 한변에 위치하여 시스템 보드상의 커넥터와 연결하기 위한 신호 입출력부, 상기 메모리 모듈상에 마운트되는 버퍼, 및 상기 신호 입출력부와 상기 버퍼 사이에 연결되는 제어 및 어드레스 버스를 구비하고, 상기 제어 및 어드레스 버스를 통한 신호가 상기 버퍼를 거쳐 상기 각 메모리 장치에 시간차를 갖고 입력되도록 상기 메모리 장치들이 상기 버퍼의 출력라인에 순차적으로 연결된다.

대표도

도 1

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 제1실시예에 따른 메모리 시스템을 나타내는 도면

도 2는 도 1에 도시된 메모리 모듈의 상세 도면으로서 본 발명에 따른 메모리 모듈을 나타내는 도면

도 3은 도 1에 도시된 본 발명에 따른 메모리 시스템의 보드 배선방법을 나타내는 도면

도 4는 본 발명의 제2실시예에 따른 메모리 시스템을 나타내는 도면

도 5는 도 4에 도시된 본 발명의 제2실시예에 따른 메모리 시스템의 보드 배선방법을 나타내는 도면

도 6은 도 4에 도시된 본 발명의 제2실시예에 따른 메모리 시스템의 다른 보드 배선방법을 나타내는 도면

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 시스템 및 메모리 모듈에 관한 것으로, 특히 제어 및 어드레스 버스를 공유하는 2채널 메모리 시스템 및 이에 채용되는 메모리 모듈에 관한 것이다.

그동안 메모리장치는 주로 고집적화 및 이에 기반한 대용량화에 중점을 두고 발전되어 왔으며, 한편 컴퓨터 시스템의 중심이 되는 중앙처리장치는 주로 고속화에 중점을 두고 발전되어 왔다. 그 결과 컴퓨터 시스템에서 중앙처리장치와 메모리장치 간의 동작속도의 차이가 점점 더 커지고 있으며, 최근에는 메모리장치의 동작속도가 전체 컴퓨터 시스템의 성능을 제한하는 주요 요인이 되고 있다.

이에 따라 컴퓨터 시스템의 동작속도를 향상시키기 위해 고속 메모리장치에 대한 연구뿐만 아니라 고성능 메모리 시스템에 대한 연구가 계속되고 있다. 고성능 메모리 시스템이란 단위시간에 더 많은 데이터를 입출력할 수 있는 메모리 구성방법을 의미한다. 메모리 시스템의 고속화를 위해서는 무엇보다도 먼저 고속 메모리장치가 개발되어야 하지만, 이와 함께 메모리장치와 이의 외부를 연결하는 입출력 인터페이스를 고속화할 수 있는 메모리 모듈 및 버스의 구조(Architecture)도 매우 중요하다. 다시말해 버스의 배치기술 및 버스상에 메모리장치들을 장착하기 위해 사용되는 메모리 모듈의 구성기술이 매우 중요하다.

한편 단위시간당 메모리장치로부터 입출력되는 데이터의 양을 나타내는 대역폭(Bandwidth)은 데이터 버스의 폭과 메모리장치 및 데이터 버스의 동작속도에 의존한다. 데이터 버스폭은 시스템 메모리 영역의 물리적인 면적이나 버스선로의 공간적인 배치등에 제한을 받으며, 데이터 버스의 동작속도는 데이터 버스의 전기적인 고주파 특성에 의해 좌우된다. 따라서 대역폭을 향상시키기 위해서는, 즉 메모리 시스템의 고속화를 위해서는 컴퓨터 시스템 내에서 메모리 영역으로 할당된 한정된 공간을 최대한 이용하고 고주파에서 문제시되는 여러가지 전기적인 특성들을 만족시킬 수 있는 방법이 모색되어야 한다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는 데이터 버스의 동작속도를 향상시킬 수 있고 데이터 버스폭을 용이하게 확장할 수 있게 하는 메모리 시스템을 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 데이터 버스의 동작속도를 향상시킬 수 있고 데이터 버스폭을 용이하게 확장할 수 있게 하는 메모리 모듈을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 메모리 시스템은, 시스템 보드, 상기 시스템 보드상의 메모리 컨트롤러, 상기 시스템 보드상의 복수개의 메모리 모듈들, 상기 메모리 컨트롤러로부터 확장되는 공통 제어 및 어드레스 버스, 상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스를 중심으로 좌측에 배치되는 제1채널의 데이터 버스들, 및 상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스를 중심으로 우측에 배치되는 제2채널의 데이터 버스들을 구비하는 것을 특징으로 한다.

특히 상기 메모리 모듈들의 제1군은 상기 제1채널의 데이터 버스들에 장착되고 상기 메모리 모듈들의 제2군은 상기 제2채널의 데이터 버스들에 장착되며 상기 메모리 모듈들의 제1군 및 제2군은 상기 공통 제어 및 어드레스 버스를 공유한다.

상기 메모리 모듈들은 일부분들이 서로 중첩되도록 배치되고, 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들이 서로 교차되도록 배치된다. 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들은 동일한 형태(Type)를 갖거나 미러(Mirror) 형의 서로 다른 형태를 갖는다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 메모리 시스템은, 시스템 보드, 상기 시스템 보드상의 메모리 컨트롤러, 상기 시스템 보드상의 복수개의 메모리 모듈들, 상기 메모리 컨트롤러로부터 확장되는 공통 제어 및 어드레스 버스, 상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스의 방향과 동일한 방향으로 좌우 교대로 하나씩 일렬로 배치되는 제1채널의 데이터 버스들 및 제2채널의 데이터 버스들을 구비하는 것을 특징으로 한다.

특히 상기 메모리 모듈들의 제1군은 상기 제1채널의 데이터 버스들에 장착되고 상기 메모리 모듈들의 제2군은 상기 제2채널의 데이터 버스들에 장착되고 상기 메모리 모듈들의 제1군 및 제2군은 상기 공통 제어 및 어드레스 버스를 공유하며 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들이 앞뒤 교대로 하나씩 배치된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 메모리 모듈은, 상기 메모리 모듈상에 마운트되는 복수개의 메모리장치들, 상기 메모리 모듈의 한번에 위치하며 시스템 보드상의 커넥터와 연결(interconnect)하기 위한 신호 입출력부, 상기 메모리 모듈상에 마운트되는 버퍼, 및 상기 신호 입출력부와 상기 버퍼 사이에 연결되는 제어 및 어드레스 버스를 구비하고, 상기 제어 및 어드레스 버스를 통한 신호가 상기 각 메모리장치에 시간차를 갖고 입력되도록 상기 메모리장치들이 상기 제어 및 어드레스 버스에 순차적으로 연결되는 것을 특징으로 한다.

상기 제어 및 어드레스 버스는, 상기 신호 입출력부의 하나의 입력핀을 통해 입력되어 상기 버퍼를 거친 후 상기 신호 입출력부의 하나의 출력핀을 통해 나가는 짧은 루프쓰루 형태로 형성되거나 또는 상기 시스템 보드상의 제어 및 어드레스 버스로부터 분기되는 스타브 형태로 형성된다.

또한 상기 각 메모리 모듈은, 각각 상기 신호 입출력부의 입력핀과 출력핀 사이에 짧은 루프쓰루 형태로 형성되고 적어도 하나의 메모리장치에 연결되는 복수개의 데이터 버스를 더 구비한다.

상기 제어 및 어드레스 버스와 상기 버퍼는 상기 신호 입출력부가 위치하는 상기 메모리 모듈의 한번과

수 있다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 제1실시예에 따른 메모리 시스템을 나타내는 도면이다.

도 1을 참조하면, 본 발명의 제1실시예에 따른 메모리 시스템에서는, 시스템 보드(10)상의 소정의 위치에 메모리 컨트롤러(11)가 장착되고 메모리 컨트롤러(11)로부터 공통 제어 및 어드레스 버스(CAB)가 확장된다. 또한 데이터 채널이 공통 제어 및 어드레스 버스(CAB)를 중심으로 양쪽에 절반씩 나뉘어진다. 다시말해 제1채널의 데이터 버스들(DB1 내지 DB4)이 메모리 컨트롤러(11)로부터 확장되어 공통 제어 및 어드레스 버스(CAB)를 중심으로 좌측에 배치된다. 제2채널의 데이터 버스들(DB5 내지 DB8)이 메모리 컨트롤러(11)로부터 확장되어 공통 제어 및 어드레스 버스(CAB)를 중심으로 우측에 배치된다. 메모리 모듈들의 제1군(12a, 12b)은 제1채널의 데이터 버스들(DB1 내지 DB4)에 장착되고 메모리 모듈들의 제2군(12c, 12d)은 제2채널의 데이터 버스들(DB5 내지 DB8)에 장착된다.

이에 따라 본 발명의 제1실시예에 따른 메모리 시스템에서는 시스템 보드(10) 상에서의 데이터 버스폭이 메모리 모듈들 상에서의 데이터 버스 폭의 2배가 된다. 따라서 비교적 소형의 메모리 모듈들을 사용하여 광대역 메모리 시스템의 구성이 가능하다.

또한 본 발명의 제1실시예에 따른 메모리 시스템에서는 모든 메모리 모듈들(12a, 12b, 12c, 12d)이 중앙에 위치하는 공통 제어 및 어드레스 버스(CAB)를 공유한다. 이와 같이 제1채널 및 제2채널에 장착되는 모든 메모리 모듈들이 공통 제어 및 어드레스 버스(CAB)를 공유하는 경우는 각 채널이 독립적인 제어 및 어드레스 버스를 갖는 경우에 비하여 메모리 컨트롤러(11)의 핀수와 시스템 보드(10)상의 버스선로 수를 감소시키며, 이에 따라 시스템 보드(10)상의 선로배치도 간편해지는 장점이 있다.

시스템 동작시 메모리 모듈들(12a, 12b, 12c, 12d) 상의 메모리장치들을 어드레싱하기 위한 어드레스 신호들과 메모리장치들을 제어하기 위한 제어신호들, 예컨대 명령들(Commands)이 제어 및 어드레스 버스(CAB)를 통해 메모리 컨트롤러(11)로부터 메모리 모듈들(12a, 12b, 12c, 12d)로 전송된다. 데이터 신호들은 제1채널의 데이터 버스들(DB1 내지 DB4) 및 제2채널의 데이터 버스들(DB5 내지 DB8)을 통해 메모리 컨트롤러(11)로부터 메모리 모듈들(12a, 12b, 12c, 12d)로 또는 메모리 모듈들(12a, 12b, 12c, 12d)로부터 메모리 컨트롤러(11)로 전송된다.

한편 본 발명의 제1실시예에 따른 메모리 시스템에서, 메모리 모듈(12a, 12b, 12c, 12d)들은 제어 및 어드레스 버스(CAB)와 연결되는 부분들이 서로 중첩되도록 배치되고 제1군에 속하는 메모리 모듈들(12a, 12b)과 제2군에 속하는 메모리 모듈들(12c, 12d)이 서로 교차되도록 배치된다. 이에 따라 메모리 시스템이 차지하는 X축 방향의 크기가 감소되어 시스템 내의 제한된 영역안에 메모리 시스템이 적절히 배치될 수 있는 장점이 있다. 또한 고속으로 동작할 때 많은 열이 발생하는 데이터 버스 영역에서는 메모리 모듈간에 충분한 간격이 확보됨으로써, 열 방출이 보다 용이한 장점이 있다.

도 2는 도 1에 도시된 메모리 모듈의 상세 도면으로서 본 발명에 따른 메모리 모듈을 나타내는 도면이다.

도 2를 참조하면, 본 발명에 따른 메모리 모듈(12)은, 복수개의 메모리장치들(20a 내지 20d), 탭(21), 복수개의 데이터 버스들(MDB1 내지 MDB4), 제어 및 어드레스 버스(MCAB), 및 버퍼(22)를 구비한다.

메모리장치들(20a 내지 20d)은 메모리 모듈(12)상의 소정의 위치들에 마운트되고, 데이터 버스들(MDB1 내지 MDB4)은 짧은 루프쓰루(Short Loop-through) 형태로 형성되고 탭(21)과 메모리장치들(20a 내지 20d) 사이에 연결된다. 탭(21)은 신호 입출력부로서 메모리 모듈(12)의 한변에 위치하며 시스템 보드상의 커넥터와 연결하기 위한 것이다.

메모리 모듈(12)이 도 1에 도시된 메모리 시스템에 장착될 경우 메모리 모듈(12) 상의 데이터 버스들(MDB1 내지 MDB4)은 시스템 보드(10) 상의 제1채널의 데이터 버스들(DB1 내지 DB4) 또는 제2채널의 데이터 버스들(DB5 내지 DB8)에 연결된다. 또한 메모리 모듈(12) 상의 제어 및 어드레스 버스(MCAB)는 시스템 보드(10) 상의 공통 제어 및 어드레스 버스(CAB)에 연결된다.

제어 및 어드레스 버스(MCAB)와 버퍼(22)는 탭(21)이 위치하는 한변과 수직방향의 한변(도 2에서는 우측변) 근처에 배치되고, 제어 및 어드레스 버스(MCAB)는 짧은 루프쓰루 형태로 형성되고 탭(21)과 버퍼(22) 사이에 연결된다. 버퍼(22)의 출력단에는 버스라인 또는 스테브(MCABB)가 연결된다. 메모리장치들(20a 내지 20d)은, 제어 및 어드레스 버스(MCAB)를 통한 신호가 버퍼(22)를 거쳐 각 메모리장치들(20a 내지 20d)에 일정한 시간차를 갖고 입력되도록, 버스라인 또는 스테브(MCABB)에 순차적으로 연결된다. 버퍼(22)는 제어 및 어드레스 버스(MCAB)를 통한 신호의 충실도(Integrity)를 향상시키기 위한 것으로서 버퍼(22)를 대신하여 레지스터가 사용될 수 있다.

이에 따라 본 발명에 따른 메모리 모듈에서는, 시스템 동작시 메모리장치들(20a 내지 20d)이 일정한 시간차를 갖고 순차적으로 동작됨으로써 메모리장치들(20a 내지 20d)이 동시에 데이터를 출력할 때 나타나는 고주파 공통 스위칭 잡음(Simultaneous Switching Noise)이 완화되어 고속동작 특성이 개선된다.

한편 도 2에 도시된 메모리 모듈에서는 제어 및 어드레스 버스(MCAB)가 짧은 루프쓰루 형태로 형성된 경우가 도시되었으나, 제어 및 어드레스 버스(MCAB)는 스테브 형태로 형성될 수 있다. 짧은 루프쓰루 형태의 제어 및 어드레스 버스(MCAB)에서는, 도 2에서 볼 수 있듯이 버스선로가 탭(21)의 하나의 입력핀을 통해 메모리 모듈(12)로 입력되어 버퍼(22)를 거친 후 탭(21)의 하나의 출력핀을 통해 다시 나가는 형태를 갖는다. 반면에 스테브 형태의 제어 및 어드레스 버스에서는, 제어 및 어드레스 버스 역할을 하는 스

메모리 모듈 상의 제어 및 어드레스 스테브는 시스템 보드(10) 상의 공통 제어 및 어드레스 버스(CAB)로부터 분기된 형태를 갖는다.

또한 도 1에 도시된 본 발명의 제1실시예에 따른 메모리 시스템 및 도 2에 도시된 메모리 모듈에서는 짧은 루프쓰루 형태의 데이터 버스 구조가 채용된다. 짧은 루프쓰루 형태의 데이터 버스 구조에서는 도 1의 데이터 버스들(DB1 내지 DB8)의 화살표로 나타난 것 처럼 각 메모리 모듈들(12a, 12b, 12c, 12d)을 가로지르는 방향으로 데이터의 흐름이 이루어진다. 이때 각 메모리 모듈들에서는 도 2에서 볼 수 있듯이 버스선로가 일단 메모리 모듈(12)로 입력되어 메모리장치들(20a 내지 20d)을 거친 후 다시 나가게 되며, 이 과정에서 탭(21)의 하나의 입력핀과 하나의 출력핀을 거치게 된다.

한편 상술하였듯이 도 1에 도시된 본 발명의 제1실시예에 따른 메모리 시스템에서는, 제1채널에 연결되는 제1군의 메모리 모듈들(12a, 12b)과 제2채널에 연결되는 제2군의 메모리 모듈들(12c, 12d)이 하나의 공통 제어 및 어드레스 버스(CAB)를 공유하고 또한 공통 제어 및 어드레스 버스(CAB)를 중심으로 좌우측에서 서로 대칭이 되도록 배치된다. 이에 따라 도 2에 도시된 탭(21)에서의 핀 순서가 제1군의 메모리 모듈들(12a, 12b)과 제2군의 메모리 모듈들(12c, 12d)에서 서로 반대방향으로 배열되게 된다. 이로 인하여 메모리 모듈들(12a, 12b, 12c, 12d)의 제어 및 어드레스 버스(MCAB)를 위한 입출력핀들이 버스 방향으로 나란히 배치되지 않게 되어 버스배선에 문제가 발생할 수 있다.

이와 같은 문제를 해결하기 위하여 모듈의 좌우가 서로 바뀐 형태의 미러 이미지(Mirror Image) 형 모듈들을 별도로 설계하여 사용될 수 있다. 그러나 두가지 형태의 모듈들을 설계하고 생산하는 것은 원가가 상승되는 등의 단점이 있다. 따라서 한가지 형태의 메모리 모듈들만이 사용될 수 있도록 본 발명에서는 도 3에 도시된 바와 같은 보드 배선방법이 이용된다.

도 3은 도 1에 도시된 본 발명의 제1실시예에 따른 메모리 시스템의 보드 배선방법을 나타내는 도면이다. 여기에서 참조번호 10은 시스템 보드를 나타내고 참조번호 22a 내지 22d는 모듈 소켓들이 장착되는 영역을 나타낸다.

도 3을 참조하면, 데이터 버스들(DB1 내지 DB8)은 직선 형태로 배선되며 반면에 공통 제어 및 어드레스 버스(CAB)는 좌우로 교대로 왕복하며 진행하는 형태로 배선된다. 이와 같은 배선을 가능하게 하기 위하여 도 2에 도시된 메모리 모듈에서 제어 및 어드레스 버스(MCAB)의 입력핀과 출력핀이 버퍼(22)를 중심으로 서로 반대쪽에 위치하도록 배치된다.

이에 따라 한 메모리 모듈, 예컨대 영역(22d)에 장착되는 메모리 모듈에서의 제어 및 어드레스 버스(MCAB)의 출력핀이 반대방향의 핀 배열을 갖는 다음 메모리 모듈, 예컨대 영역(22a)에 장착되는 메모리 모듈에서의 제어 및 어드레스 버스(MCAB)의 입력핀과 같은 지점에 위치하게 된다. 또한 시스템 보드(10) 상에서는 도 3에 도시된 바와 같이 두 모듈에서의 제어 및 어드레스 버스(MCAB)의 출력핀과 제어 및 어드레스 버스(MCAB)의 입력핀을 서로 직선선로로 연결시킨다.

따라서 상술한 바와 같은 배선방법에 의하여 도 1에 도시된 본 발명의 제1실시예에 따른 메모리 시스템에 한가지 형태의 메모리 모듈이 사용될 수 있다.

도 4는 본 발명의 제2실시예에 따른 메모리 시스템을 나타내는 도면이다.

도 4를 참조하면, 본 발명의 제2실시예에 따른 메모리 시스템에서는, 시스템 보드(40) 상의 소정의 위치에 메모리 컨트롤러(41)가 장착되고 메모리 컨트롤러(41)로부터 공통 제어 및 어드레스 버스(CAB)가 확장된다. 또한 제1채널의 데이터 버스들(DB1 내지 DB4) 및 제2채널의 데이터 버스들(DB5 내지 DB8)이 메모리 컨트롤러(41)로부터 확장되고 제어 및 어드레스 버스(CAB)의 방향과 동일한 방향으로 좌우 교대로 하나씩 배치된다. 메모리 모듈들의 제1군(42a, 42c)은 제1채널의 데이터 버스들(DB1 내지 DB4)에 장착되고 메모리 모듈들의 제2군(42b, 42d)은 제2채널의 데이터 버스들(DB5 내지 DB8)에 장착된다.

이에 따라 본 발명의 제2실시예에 따른 메모리 시스템에서는 제1실시예에 따른 메모리 시스템에서와 마찬가지로 시스템 보드(40) 상에서의 데이터 버스쪽이 메모리 모듈 상에서의 데이터 버스 쪽의 2배가 된다. 따라서 비교적 소형의 메모리 모듈들을 사용하여 광대역 메모리 시스템의 구성이 가능하다.

또한 본 발명의 제2실시예에 따른 메모리 시스템에서는 모든 메모리 모듈들(42a, 42b, 42c, 42d)이 중앙에 위치하는 공통 제어 및 어드레스 버스(CAB)를 공유한다. 또한 제1군에 속하는 메모리 모듈들, 즉 제1채널의 데이터 버스들(DB1 내지 DB4)에 장착되는 메모리 모듈들(42a, 42c)과 제2군에 속하는 메모리 모듈들, 즉 제2채널의 데이터 버스들(DB5 내지 DB8)에 장착되는 메모리 모듈들(42b, 42d)이 앞뒤 교대로 하나씩 일렬로 배치된다.

이에 따라 본 발명의 제2실시예에 따른 메모리 시스템에서는 제1실시예에 따른 메모리 시스템에서와 마찬가지로 메모리 컨트롤러(41)의 핀수와 시스템 보드(40)상의 버스선로 수가 감소된다. 또한 모든 메모리 모듈들(42a, 42b, 42c, 42d)이 일렬로 배치되므로 메모리 시스템이 차지하는 X축 방향의 크기가 감소되어 시스템이 차지하는 면적이 매우 작으며 시스템 보드(40)상의 선로배치도 간편해지는 장점이 있다.

한편 도 4에 도시된 제2실시예에 따른 메모리 시스템에서는 모든 메모리 모듈들(42a, 42b, 42c, 42d)이 일렬로 배치되므로 도 1에 도시된 제1실시예에 따른 메모리 시스템에 비하여 메모리 모듈상의 제어 및 어드레스 버스가 그 구조에 대한 제한을 적게 받는다. 도 4에 도시된 제2실시예에 따른 메모리 시스템에서는, 제1실시예에서와 마찬가지로 데이터 버스들과 제어 및 어드레스 버스가 짧은 루프쓰루 형태로 형성되는 메모리 모듈과 데이터 버스들이 짧은 루프쓰루 형태로 형성되고 제어 및 어드레스 버스가 스테브 형태로 형성되는 메모리 모듈이 선택적으로 사용될 수 있다. 그러나 도 4에 도시된 제2실시예에 따른 메모리 시스템에 사용되는 메모리 모듈에서는, 제어 및 어드레스 버스와 버퍼가 도 2에 도시된 메모리 모듈과 달리 모듈의 중앙 근처에 배치된다.

도 5는 도 4에 도시된 본 발명의 제2실시예에 따른 메모리 시스템의 보드 배선방법을 나타내는 도면으로서 SoDIMM(Small Out-Line Dual In-Line Memory Module)에서 사용되는 SMD(Surface Mounting Device) 형의 소켓을 사용하여 구성된다. 도 6은 도 4에 도시된 본 발명의 제2실시예에 따른 메모리 시스템의 다른

보드 배선방법을 나타내는 도면으로서 일반적으로 사용되는 DIMM(Dual In-Line Memory Module)의 쓰루-홀(Through-hole) 소켓을 사용한 경우이다. 여기에서 참조번호 52a 내지 52d, 62a 내지 62d는 시스템 보드상에서 모듈 소켓들이 장착되는 영역을 나타낸다.

SoDIMM 형은 SMD 구조에 의해 고주파에서의 전기적인 특성이 우수하며 크기가 작은 장점이 있다. 쓰루-홀 형은 크기가 큰 단점이 있는 반면에 크기가 크기때문에 SoDIMM 형 소켓을 사용하는 경우에 비해 시스템 보드상에서의 배선을 좀더 여유있게 할 수 있는 장점이 있다.

이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 메모리 모듈과 이를 채용하는 본 발명에 따른 메모리 시스템은 데이터 버스의 동작속도를 향상시킬 수 있고 데이터 버스폭의 확장에 의한 광대역화에 적합한 장점이 있다.

### (57) 청구의 범위

#### 청구항 1

시스템 보드;

상기 시스템 보드상의 메모리 컨트롤러;

상기 시스템 보드상의 복수개의 메모리 모듈들;

상기 메모리 컨트롤러로부터 확장되는 공통 제어 및 어드레스 버스;

상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스를 중심으로 좌측에 배치되는 제1채널의 데이터 버스들; 및

상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스를 중심으로 우측에 배치되는 제2채널의 데이터 버스들을 구비하고,

상기 메모리 모듈들의 제1군은 상기 제1채널의 데이터 버스들에 장착되고 상기 메모리 모듈들의 제2군은 상기 제2채널의 데이터 버스들에 장착되며 상기 메모리 모듈들의 제1군 및 제2군은 상기 공통 제어 및 어드레스 버스를 공유하는 것을 특징으로 하는 메모리 시스템.

#### 청구항 2

제1항에 있어서, 상기 메모리 모듈들은 일부분들이 서로 중첩되도록 배치되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 3

제1항에 있어서, 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들이 서로 교차되도록 배치되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 4

제1항에 있어서, 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들은 동일한 형태(Type)를 갖는 것을 특징으로 하는 메모리 시스템.

#### 청구항 5

제1항에 있어서, 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들은 미러(Mirror) 형의 서로 다른 형태를 갖는 것을 특징으로 하는 메모리 시스템.

#### 청구항 6

제1항에 있어서, 상기 각 메모리 모듈은,

상기 메모리 모듈상에 마운트되는 복수개의 메모리장치들;

상기 메모리 모듈의 한변에 위치하며 상기 시스템 보드상의 커넥터와 연결하기 위한 신호 입출력부;

상기 메모리 모듈상에 마운트되는 버퍼; 및

상기 신호 입출력부와 상기 버퍼 사이에 연결되는 제어 및 어드레스 버스를 구비하고,

상기 제어 및 어드레스 버스를 통한 신호가 상기 버퍼를 거쳐 상기 각 메모리장치에 시간차를 갖고 입력되도록 상기 메모리장치들이 상기 버퍼의 출력라인에 순차적으로 연결되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 7

제6항에 있어서, 상기 제어 및 어드레스 버스는,

의 출력핀을 통해 나가는 짧은 루프쓰루 형태인 것을 특징으로 하는 메모리 시스템.

#### 청구항 8

제6항에 있어서, 상기 제어 및 어드레스 버스는,

상기 시스템 보드상의 상기 공통 제어 및 어드레스 버스로부터 분기되는 스타브 형태인 것을 특징으로 하는 메모리 시스템.

#### 청구항 9

제6항에 있어서, 상기 각 메모리 모듈은,

각각 상기 신호 입출력부의 입력핀과 출력핀 사이에 짧은 루프쓰루 형태로 형성되고 적어도 하나의 메모리장치에 연결되는 복수개의 데이터 버스를 더 구비하는 것을 특징으로 하는 메모리 시스템.

#### 청구항 10

제6항에 있어서, 상기 제어 및 어드레스 버스와 상기 버퍼는 상기 신호 입출력부가 위치하는 상기 메모리 모듈의 한변과 수직방향의 한변 근처에 배치되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 11

제6항에 있어서, 상기 메모리 모듈상에 상기 버퍼 대신에 레지스터가 마운트되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 12

시스템 보드;

상기 시스템 보드상의 메모리 컨트롤러;

상기 시스템 보드상의 복수개의 메모리 모듈들;

상기 메모리 컨트롤러로부터 확장되는 공통 제어 및 어드레스 버스;

상기 메모리 컨트롤러로부터 확장되고 상기 공통 제어 및 어드레스 버스의 방향과 동일한 방향으로 좌우 교대로 하나씩 배치되는 제1채널의 데이터 버스와 제2채널의 데이터 버스를 구비하고,

상기 메모리 모듈들의 제1군은 상기 제1채널의 데이터 버스에 장착되고 상기 메모리 모듈들의 제2군은 상기 제2채널의 데이터 버스에 장착되고 상기 메모리 모듈들의 제1군 및 제2군은 상기 공통 제어 및 어드레스 버스를 공유하며 상기 제1군에 속하는 메모리 모듈들과 상기 제2군에 속하는 메모리 모듈들이 앞뒤 교대로 하나씩 일렬로 배치되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 13

제12항에 있어서, 상기 각 메모리 모듈은,

상기 메모리 모듈상에 마운트되는 복수개의 메모리장치들;

상기 메모리 모듈의 한변에 위치하며 상기 시스템 보드상의 커넥터와 연결하기 위한 신호 입출력부;

상기 메모리 모듈상에 마운트되는 버퍼;

상기 신호 입출력부와 상기 버퍼 사이에 연결되는 제어 및 어드레스 버스; 및

각각 상기 신호 입출력부의 입력핀과 출력핀 사이에 짧은 루프쓰루 형태로 형성되고 적어도 하나의 메모리장치에 연결되는 복수개의 데이터 버스를 구비하고,

상기 메모리장치들이 상기 버퍼의 출력라인에 연결되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 14

제13항에 있어서, 상기 제어 및 어드레스 버스는,

상기 신호 입출력부의 하나의 입력핀을 통해 입력되어 상기 버퍼를 거친 후 상기 신호 입출력부의 하나의 출력핀을 통해 나가는 짧은 루프쓰루 형태인 것을 특징으로 하는 메모리 시스템.

#### 청구항 15

제13항에 있어서, 상기 제어 및 어드레스 버스는,

상기 시스템 보드상의 상기 공통 제어 및 어드레스 버스로부터 분기되는 스타브 형태인 것을 특징으로 하는 메모리 시스템.

#### 청구항 16

제13항에 있어서, 상기 제어 및 어드레스 버스와 상기 버퍼는 상기 메모리 모듈의 중앙 근처에 배치되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 17

제13항에 있어서, 상기 메모리 모듈상에 상기 버퍼 대신에 레지스터가 마운트되는 것을 특징으로 하는 메모리 시스템.

청구항 18

메모리 모듈에 있어서,

상기 메모리 모듈상에 마운트되는 복수개의 메모리장치들;

상기 메모리 모듈의 한변에 위치하며 시스템 보드상의 커넥터와 연결하기 위한 신호 입출력부;

상기 메모리 모듈상에 마운트되는 버퍼; 및

상기 신호 입출력부와 상기 버퍼 사이에 연결되는 제어 및 어드레스 버스를 구비하고,

상기 제어 및 어드레스 버스를 통한 신호가 상기 버퍼를 거쳐 상기 각 메모리장치에 시간차를 갖고 입력되도록 상기 메모리장치들이 상기 버퍼의 출력라인에 순차적으로 연결되는 것을 특징으로 하는 메모리 모듈.

청구항 19

제18항에 있어서, 상기 제어 및 어드레스 버스는,

상기 신호 입출력부의 하나의 입력핀을 통해 입력되어 상기 버퍼를 거친 후 상기 신호 입출력부의 하나의 출력핀을 통해 나가는 짧은 루프쓰루 형태인 것을 특징으로 하는 메모리 모듈.

청구항 20

제18항에 있어서, 상기 제어 및 어드레스 버스는,

상기 시스템 보드상의 제어 및 어드레스 버스로부터 분기되는 스타브 형태인 것을 특징으로 하는 메모리 모듈.

청구항 21

제18항에 있어서, 상기 각 메모리 모듈은,

각각 상기 신호 입출력부의 입력핀과 출력핀 사이에 짧은 루프쓰루 형태로 형성되고 적어도 하나의 메모리장치에 연결되는 복수개의 데이터 버스를 더 구비하는 것을 특징으로 하는 메모리 모듈.

청구항 22

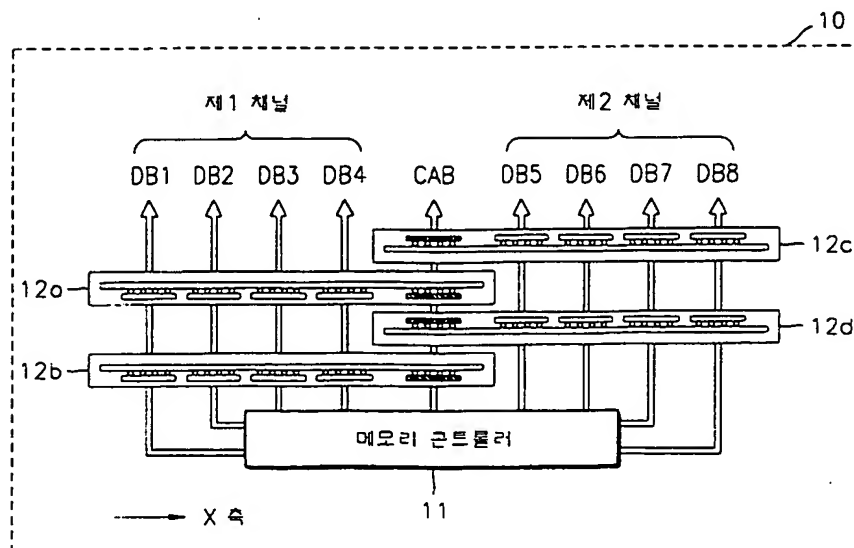
제18항에 있어서, 상기 제어 및 어드레스 버스와 상기 버퍼는 상기 신호 입출력부가 위치하는 상기 메모리 모듈의 한변과 수직방향의 한번 근처에 배치되는 것을 특징으로 하는 메모리 모듈.

청구항 23

제18항에 있어서, 상기 메모리 모듈상에 상기 버퍼 대신에 레지스터가 마운트되는 것을 특징으로 하는 메모리 모듈.

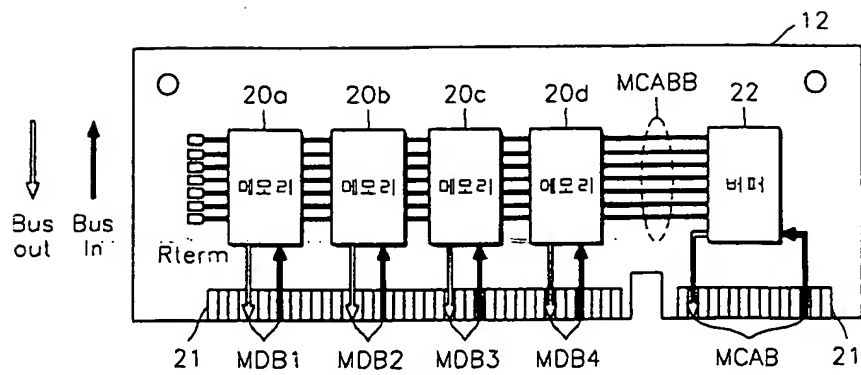
도면

도면1

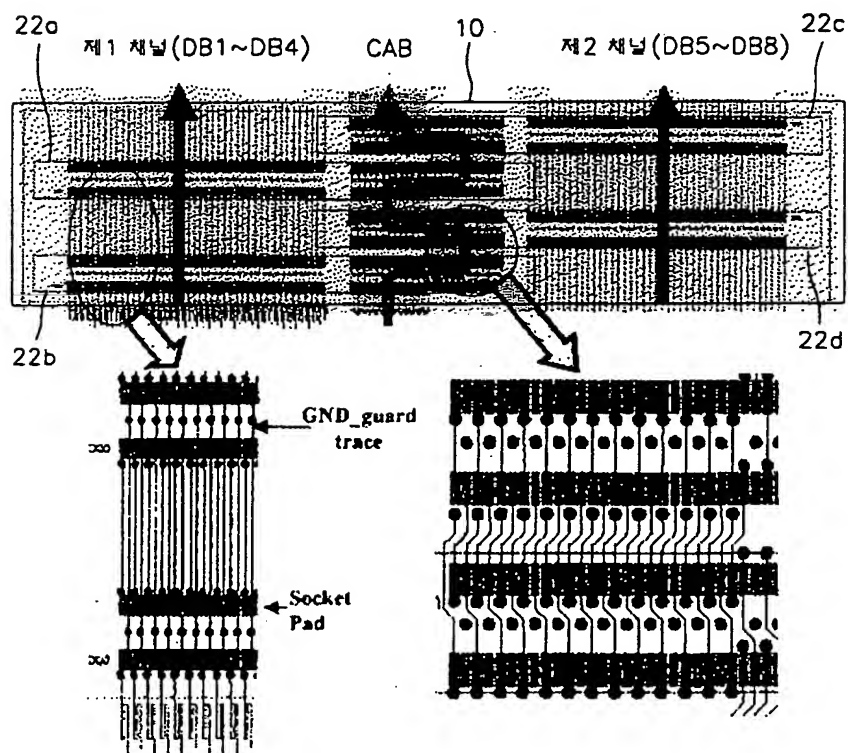




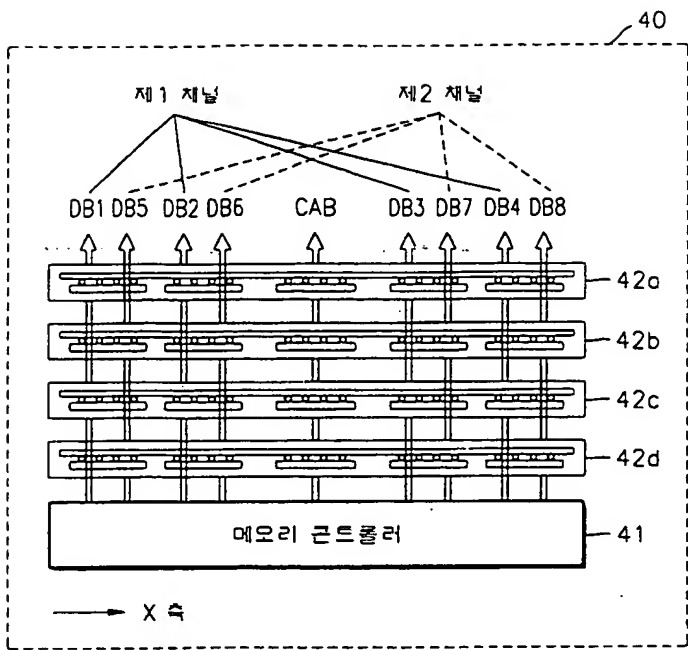
도면2



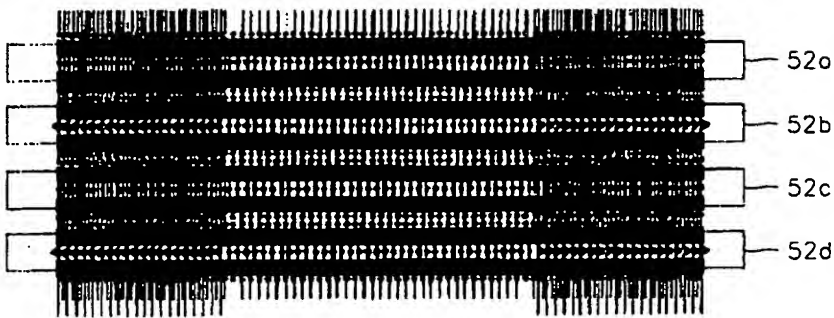
도면3



도면4



도면5



도면6

